

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-052575

(43)Date of publication of application : 05.03.1988

(51)Int.Cl.

H04N 1/40  
G06F 15/64

(21)Application number : 61-197537

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 22.08.1986

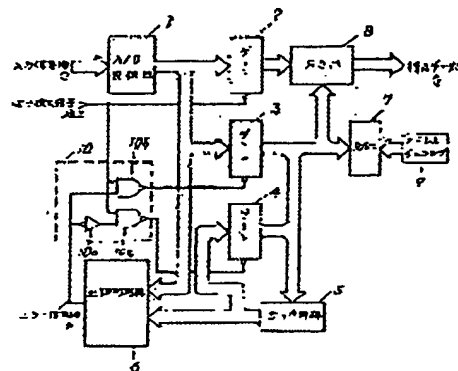
(72)Inventor : SHIRAISHI HAJIME  
MOJI YOSUKE

## (54) SHADING CORRECTION DEVICE

### (57)Abstract:

**PURPOSE:** To attain the correction nearly normal without an abnormal value stored as a correction value by providing a discriminating means discriminating the abnormality of a data and a selection storage means storing reference information so as to store preceding information at a location where a picture to be referenced is not only at a white level.

**CONSTITUTION:** A reference signal of data of one picture element obtained from an image scanner reading a white color picture is inputted from an input signal line D to an A/D converter 1. Let the data converted by the A/D converter 1 be the  $n$ -th data, the data is set to a gate 3 and inputted to an error deciding device 6, where whether the  $n$ -th data is correct or in error is discriminated by the  $(n-1)$ -th data. If it is discriminated that the  $n$ -th data is in error, the level of an error signal line F goes to an L level, a gate 4 is set and the  $(n-1)$ -th data is stored in a RAM 7 and the  $n$ -th data. In this case, the discrimination of the correctness of the  $(n+1)$ -th data is executed by using the  $(n-1)$ -th data.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

## ⑫ 公開特許公報(A)

昭63-52575

⑬ Int.Cl.<sup>4</sup>H 04 N 1/40  
G 06 F 15/64

識別記号

1 0 1  
4 0 0

庁内整理番号

A-7136-5C  
D-8419-5B

⑭ 公開 昭和63年(1988)3月5日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 シェーディング補正装置

⑯ 特 願 昭61-197537

⑰ 出 願 昭61(1986)8月22日

⑱ 発 明 者	白 石 肇	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	門 司 要 介	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑳ 出 願 人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
㉑ 代 理 人	弁理士 中尾 敏男	外1名	

## 明 細 書

## 1. 発明の名称

シェーディング補正装置

## 2. 特許請求の範囲

原稿の情報を読み取るセンサと、前記センサが読み取った基準情報を記憶する記憶手段と、前記センサが読み取ったある特定の位置の基準情報と前記記憶手段に記憶された前記特定の位置の隣の位置の基準情報を比較しデータの異常を判断する判断手段と、前記判断手段の出力が前記特定の位置の基準情報が正しいことを示すものであった場合前記特定の位置の基準情報を選択して記憶し、前記判断手段の出力が前記特定の位置の基準情報が誤っていることを示すものであった場合前記隣の位置の基準情報を記憶する選択記憶手段を備え、前記選択記憶手段に記憶した基準信号に従いシェーディング補正を行うことを特徴とするシェーディング補正装置。

## 3. 発明の詳細な説明

産業上の利用分野

本発明は、ファクシミリ、イメージスキャナ等の画像入力装置に用いられるシェーディング補正装置に関するものである

## 従来の技術

ファクシミリ、イメージスキャナ等の読み取りセンサとして、電荷結合素子(以下、CCDと略称する。)等のイメージセンサが用いられている。このようなイメージセンサを用いた走査によって得られる画像信号は、シェーディングと呼ばれる誤差を含むようになる。これは原稿の1ラインの全域にわたって均一な光を当てることが困難であることや、イメージセンサの各受光素子を同じ感度に製作することが難しいために発生するものである。このような誤差を補正し、常に正常に画像を読み取るための前処理をシェーディング補正という。このシェーディング補正には、白い画像を読み取って得られる信号が、白基準信号となるため、基準となる白い画像は途中に黒い点等の不連続な部分のないものが要求される。

第2図は従来の画像読取装置の回路ブロック図

であり、20はスイッチ、21はイメージセンサ（図では省略されている。）から入力したアナログ信号の画像データをデジタル信号に変換するアナログデジタル変換器（以下、A/D変換器と略称する。）、22は予め定められた基準値をA/D変換器21の出力で割った値である逆数値を出力する逆数変換器、23はイメージセンサの一つの受光素子に対する複数個の逆数値を平均する平均化回路、24は平均化回路の出力を記録する随時読み出し書き込みメモリ（以下、RAMと略称する。）、25はメモリにデジタルデータとして記憶された補正値をアナログデータにして出力するデジタルアナログ変換器（以下、D/A変換器と略称する。）、26は原稿のデータに、予めRAM24に記憶した補正値を乗算することにより原稿のデータを補正するアナログ乗算器、27は補正の終わったアナログ値のデータをデジタル値に変換して出力するA/D変換器である。

以上のように構成された従来の画像読取装置について、以下にそのシェーディング補正動作につ

いて説明する。

まずイメージスキャナで白原稿を読み取る。この時スイッチ20は閉じた状態にしておき、データがA/D変換器21に入るようにしておく。このデータを一つの受光素子ごとに数回繰り返し、その逆数値の平均をRAM24に記憶する。この操作をすべての受光素子に対して行い、補正値を記憶する。

次に実際に画像を読み取る場合は、スイッチ20は開状態にしておく。各受光素子に対応する補正値がRAM24より出力され、そのデータがD/A変換器25によりアナログ値に変換され、乗算器26によりイメージスキャナより入力したデータに掛け合わされる。そして補正の済んだデータはA/D変換器27によりデジタル値に変換され、出力される。

発明が解決しようとする問題点

しかしながら上記従来の構成では、原稿台のガラス面に付着したごみ等により、本来白一色であるべき基準となる画像が連続した白とならず、そ

のごみの位置では異常な補正値が記憶されることになり、この補正値によって補正された画像はまた異常なものになるという問題点を有していた。

問題点を解決するための手段

本発明は、センサが読み取ったある位置の基準情報と記憶手段に記憶された1つ前の位置の基準情報を比較しデータの異常を判断する判断手段と、ある位置の情報が正しいものであった場合ある位置の情報を選択して記憶し、ある位置の情報が誤っていた場合1つ前の位置の情報を記憶する選択記憶手段を備えたものである。

作 用

上記構成により、もし原稿台にごみが付着していたりして、基準となるべき画像が白一色となっていないなくても、その位置では一つ前の情報を記憶するため、補正値に異常な値が記憶されることがない。

実施例

第1図は本発明の一実施例における画像読取装置の回路ブロック図であり、1は入力信号線Dより送られる、イメージスキャナ（図では省略されている。）により読み取られたアナログ値の画像データをデジタル値に変換するA/D変換器、2、3、4はデータを一時的に貯えるゲート、5はゲート3及び4の出力したデータをラッチするラッチ回路、6はA/D変換器1のデータとラッチ回路5のデータを比較し、その値が近かった場合はエラー信号線Fに+5V（以下、Hレベルと略称する。）を出力し、その値に大きな隔たりがあった場合はA/D変換器1の出力したデータが誤りであると判断し、エラー信号線Fに0V（以下、Lレベルと略称する。）を出力する正誤判断器、7は白色の画像を読み取って得られる画像データが各受光素子ごとに記憶されるRAM、8はイメージスキャナより得られたデータと、RAM7に記憶されたデータがアドレスとなり、それに対応するシェーディング補正の済んだデータがテーブルとして記憶されている読み出し専用メモリ（以下、ROMと略称する。）、9はイメージスキャナの各受光素子に対応するアドレスを発生

し、その素子のデータをRAM7より出力させるためのアドレスジェネレータ、10は論理回路10a~10cにより構成され、切り換え信号線E及びエラー信号線Fの状態に対応して、ゲート2~3のいずれかを出力可能状態にするセレクターである。

以上のように構成された本実施例の画像読取装置について、以下にそのシェーディング補正について説明する。

イメージキャナが白色の画像を読み取ることによって得られた、1つの受光素子が入力したデータである1画素のデータの基準信号は、入力信号線DよりA/D変換器1に入り、7ビットで表現される128階調のデータに変換される。この時切り換え信号線EはHレベルとなっており、ゲート2が出力不可能状態(以下、OFF状態と略称する。)となっている。ここで今A/D変換器1に変換されたデータをn番目のデータとすると、このデータはゲート3にセットされると共に、正誤判断器6に入力される。この時既にRAM

M7に記憶されたn-1番目のデータは、ラッチ回路5にラッチされており、その出力はゲート4にセットされると共に正誤判断器6に入力される。ここでn-1番目のデータから、n番目のデータが正しいか誤っているかが判断される。ここでn番目のデータ正しいと判断された場合、エラー信号線FはHレベルとなり、ゲート3が出力可能状態(以下、ON状態と略称する。)となり、n番目のデータがRAM7へ記憶され、同時にn+1番目のデータの正誤判断のためにラッチ回路5にラッチされる。ここでもしn番目のデータが誤っていると判断された場合は、エラー信号線FはLレベルとなり、ゲート4がONとなってn-1番目のデータがn番目のデータとしてRAM7に記憶される。この場合、n+1番目の正誤判断はn-1番目のデータで行われることになる。

次に実際に画像を読み取る場合について説明する。

この時切り換え信号線EはLレベルとなっており、ゲート2のみがON状態で、ゲート3及び4

がOFF状態となっている。イメージセンサより入力されたデータはA/D変換器1でデジタル値に変換される。そしてゲート2を通過して、ROM8の上位のアドレスとして与えられる。この時同時にイメージセンサの受光素子に対応するアドレスが、アドレスジェネレータ9によって発生され、RAM7よりその受光素子に対応する基準データが出力される。そしてこのデータはROM8の下位のアドレスとして与えられる。ROM8からは、予め実際の画像のデータと基準のデータに対応して記憶された補正したデータが補正データ線Gに出力される。このようにしてシェーディング補正されたデータを得ることができる。

#### 発明の効果

本発明は、センサが読み取ったある位置の基準情報と記憶手段に記憶された1つ前の位置の基準情報を比較しデータの異常を判断する判断手段と、ある位置の基準情報が正しいものであった場合ある位置の基準情報を選択して記憶し、ある位置の基準情報が誤っていた場合1つ前の位置の基

準情報を記憶する選択記憶手段を備え、もし原稿台にごみが付着していたりして、基準となるべき画像が白一色となっていなくても、その位置では一つ前の情報を記憶するため、補正值に異常な値が記憶されることがなく、ほぼ正常に正しい補正が行え、安定した性能の画像読取装置を得ることができる。

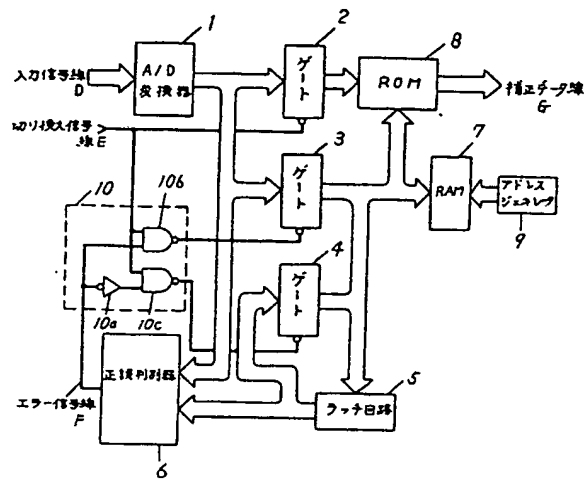
#### 4. 図面の簡単な説明

第1図は本発明の一実施例におけるシェーディング補正装置の回路ブロック図、第2図は従来のシェーディング補正装置の回路ブロック図である。

1…A/D変換器、2、3、4…ゲート、5…ラッチ回路、6…正誤判断器、7…RAM、8…ROM、9…アドレスジェネレータ、10…セレクター

代理人の氏名 弁理士 中尾敏男 ほか1名

第 1 図



第 2 図

